

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日      2001年11月  8日  
Date of Application:

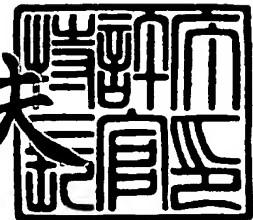
出願番号      特願2001-342954  
Application Number:  
[ST. 10/C] :      [JP2001-342954]

出願人      株式会社アドバンテスト  
Applicant(s):

2004年 2月 10日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 9741  
【提出日】 平成13年11月 8日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G01R  
【発明の名称】 試験装置  
【請求項の数】 9  
【発明者】  
【住所又は居所】 東京都練馬区旭町1丁目32番1号株式会社アドバンテスト内  
【氏名】 土井 優  
【発明者】  
【住所又は居所】 東京都練馬区旭町1丁目32番1号株式会社アドバンテスト内  
【氏名】 佐藤 新哉  
【特許出願人】  
【識別番号】 390005175  
【氏名又は名称】 株式会社アドバンテスト  
【代理人】  
【識別番号】 100104156  
【弁理士】  
【氏名又は名称】 龍華 明裕  
【電話番号】 (03)5366-7377  
【手数料の表示】  
【予納台帳番号】 053394  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 試験装置

【特許請求の範囲】

【請求項 1】 電子デバイスを試験する試験装置であって、  
基準クロックを発生する基準クロック発生部と、  
前記電子デバイスを試験するための試験パターンを、前記基準クロックに同期  
して発生するパターン発生部と、  
前記試験パターンを受け取り、前記試験パターンを整形した整形パターンを前  
記電子デバイスに入力する波形整形部と、  
タイミングを発生する第1タイミング発生器と、  
前記電子デバイスが前記試験パターンに基づいて出力する出力信号を、前記第  
1タイミング発生器が発生したタイミングでサンプリングする出力信号サンプリ  
ング回路と、  
前記出力信号サンプリング回路におけるサンプリング結果に基づいて前記電子  
デバイスの良否を判定する判定部と  
を備え、  
前記第1タイミング発生器は、  
前記基準クロックを受け取り、前記基準クロックを遅延させて出力する第1可  
変遅延回路部と、  
前記第1可変遅延回路部における遅延量を制御する第1遅延制御部と  
を有し、  
前記第1遅延制御部は、  
予め第1基本タイミングデータが設定される第1基本タイミングデータ設定部  
と、  
予め第1マルチストローブ分解能データが設定される第1マルチストローブ分  
解能データ設定部と、  
前記基準クロックに応じて、前記第1マルチストローブ分解能データに基づい  
て、第1マルチストローブデータを算出する第1マルチストローブデータ算出部  
と、

前記第1基本タイミングデータと前記第1マルチストローブデータとに基づいて、前記第1可変遅延回路部において前記基準クロックが遅延されるべき遅延量を算出する第1可変遅延量算出部とを含むことを特徴とする試験装置。

**【請求項2】** 前記判定部は、前記出力信号サンプリング回路におけるサンプリング結果に基づいて、前記出力信号のジッタを算出する出力信号ジッタ算出手段を有し、

前記判定部は、前記出力信号のジッタに更に基づいて、前記電子デバイスの良否を判定することを特徴とする請求項1に記載の試験装置。

**【請求項3】** 前記第1可変遅延量算出部は、前記第1基本タイミングデータに、前記第1マルチストローブデータを加算した遅延量を算出することを特徴とする請求項1又は2に記載の試験装置。

**【請求項4】** 前記第1可変遅延量算出部は、前記第1基本タイミングデータから、前記第1マルチストローブデータを減算した遅延量を算出することを特徴とする請求項1又は2に記載の試験装置。

**【請求項5】** 前記第1遅延制御部は、  
前記第1マルチストローブデータ算出部が算出した第1マルチストローブデータを記憶する第1マルチストローブデータ記憶部と、

前記基準クロックに応じて、前記第1マルチストローブデータ記憶部が記憶した前記第1マルチストローブデータに、前記第1マルチストローブ分解能データを加算する第1マルチストローブ分解能データ加算部とを更に含み、

前記第1マルチストローブデータ記憶部は、前記第1マルチストローブ分解能データ加算部において、前記第1マルチストローブ分解能データが加算された前記第1マルチストローブデータを新たに記憶し、

前記第1可変遅延量算出部は、前記第1基本タイミングデータと、前記第1マルチストローブデータ記憶部が記憶した、前記第1マルチストローブデータとに基づいて、前記第1可変遅延回路部において前記基準クロックが遅延されるべき遅延量を算出することを特徴とする請求項1から4のいずれかに記載の試験装置

【請求項6】 前記パターン発生部は、前記パターン発生部が発生する試験パターンに基づいて、前記第1可変遅延量記憶部が記憶する前記第1マルチストローブデータを零に設定する手段を更に有することを特徴とする請求項1から5のいずれかに記載のタイミング発生器。

【請求項7】 前記電子デバイスを試験する試験サイクルが終了した場合に、前記第1基本タイミングデータ設定部に新たな第1基本タイミングデータを設定する手段を更に含むことを特徴とする請求項1から6のいずれかに記載の試験装置。

【請求項8】 前記パターン発生部は、前記パターン発生部が発生する試験パターンに基づいて、前記第1マルチストローブ分解能データ設定部に新たな第1マルチストローブ分解能データを設定する手段を更に含むことを特徴とする請求項1から7のいずれかに記載の試験装置。

【請求項9】 前記電子デバイスは、内部クロックに応じて前記出力信号を出力し、

前記出力信号サンプリング回路は、前記内部クロックに基づいたクロックであるデータストローブに応じて、前記出力信号を受け取り、

タイミングを発生する第2タイミング発生器と、

前記データストローブを、前記第2タイミング発生器が発生したタイミングでサンプリングするデータストローブサンプリング回路と  
を更に備え、

前記第2タイミング発生器は、

前記基準クロックを受け取り、前記基準クロックを遅延させて出力する第2可変遅延回路部と、

前記第2可変遅延回路部における遅延量を制御する第2遅延制御部と  
を有し、

前記第2遅延制御部は、

予め第2基本タイミングデータが設定される第2基本タイミングデータ設定部  
と、

予め第2マルチストローブ分解能データが設定される第2マルチストローブ分解能データ設定部と、

前記基準クロックに応じて、前記第2マルチストローブ分解能データに基づいて、第2マルチストローブデータを算出する第2マルチストローブデータ算出部と、

前記第2基本タイミングデータと、前記第2マルチストローブデータとに基づいて、前記第2可変遅延回路部において前記基準クロックが遅延されるべき遅延量を算出する第2可変遅延量算出部と  
を含み、

前記判定部は、前記データストローブサンプリング回路におけるサンプリング結果に更に基づいて、前記電子デバイスの良否を判定することを特徴とする請求項1から8のいずれかに記載の試験装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、電子デバイスの良否を試験する試験装置に関する。特に、電子デバイスの内部クロックがジッタを有する場合における、電子デバイスの良否を試験する試験装置に関する。

##### 【0002】

##### 【従来の技術】

近年、半導体デバイス等の電子デバイスの高速化が著しい。例えばDDR-SDRAM等の高速メモリデバイス等において、デバイスの内部クロックにジッタが生じている場合、デバイスの出力信号と、内部クロックに基づいたクロックであって、当該出力信号の試験装置等への受け渡しに用いられるデータストローブとの双方にジッタ成分が含まれてしまう。

##### 【0003】

##### 【発明が解決しようとする課題】

しかし、従来の試験装置では、一回の測定で電子デバイスの良否を判定していたため、出力信号とデータストローブの双方におけるジッタ成分のため、正確な

判定を行うことが困難であった。また、従来の試験装置において、電子デバイスが出力する出力信号を異なるタイミングでサンプリングする場合、サンプリングタイミングの位相を微小時間ずらすために、生成するべき複数のサンプリングタイミングの位相データを試験装置内に記憶する必要があった。近年の半導体装置等の高速化に伴い、当該サンプリングタイミングのサーチ分解能は、高分解能が要求されている。従来の試験装置では、生成するべき複数のサンプリングタイミングの位相データを試験装置内に記憶しているため、高分解能を達成するためには試験装置内に膨大な位相データを記憶する必要があった。しかし、そのような膨大な位相データを記憶するためのメモリを試験装置内に備えることは、現実的ではなく、生成するべきサンプリングタイミングの位相データの全てを記憶することは、ほぼ不可能であり、電子デバイスを精度よく試験することが困難であった。このため、位相が微小時間ずれた複数のサンプリングタイミングを容易に生成することが望まれていた。

#### 【0004】

そこで本発明は、上記の課題を解決することのできるタイミング発生器及び試験装置を提供することを目的とする。この目的は、特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

#### 【0005】

##### 【課題を解決するための手段】

上記課題を解決するために、本発明の形態においては、電子デバイスを試験する試験装置であって、基準クロックを発生する基準クロック発生部と、電子デバイスを試験するための試験パターンを、基準クロックに同期して発生するパターン発生部と、試験パターンを整形した整形パターンを電子デバイスに入力する波形整形部と、タイミングを発生する第1タイミング発生器と、電子デバイスが試験パターンに基づいて出力する出力信号を、第1タイミング発生器が発生したタイミングでサンプリングする出力信号サンプリング回路と、出力信号サンプリング回路におけるサンプリング結果に基づいて電子デバイスの良否を判定する判定部とを備え、第1タイミング発生器は、基準クロックを受け取り、基準クロック

を遅延させて出力する第1可変遅延回路部と、第1可変遅延回路部における遅延量を制御する第1遅延制御部とを有し、第1遅延制御部は、予め第1基本タイミングデータが設定される第1基本タイミングデータ設定部と、予め第1マルチストローブ分解能データが設定される第1マルチストローブ分解能データ設定部と、基準クロックに応じて、第1マルチストローブ分解能データに基づいて、第1マルチストローブデータを算出する第1マルチストローブデータ算出部と、第1基本タイミングデータと第1マルチストローブデータとに基づいて、第1可変遅延回路部において基準クロックが遅延されるべき遅延量を算出する第1可変遅延量算出部とを含むことを特徴とする試験装置を提供する。

#### 【0006】

本発明の形態において、判定部は、出力信号サンプリング回路におけるサンプリング結果に基づいて、出力信号のジッタを算出する出力信号ジッタ算出手段を有し、判定部は、出力信号のジッタに更に基づいて、電子デバイスの良否を判定する。また、第1可変遅延量算出部は、第1基本タイミングデータに、第1マルチストローブデータを加算した遅延量を算出してよい。また、第1可変遅延量算出部は、第1基本タイミングデータから、第1マルチストローブデータを減算した遅延量を算出してよい。また、第1遅延制御部は、第1マルチストローブデータ算出部が算出した第1マルチストローブデータを記憶する第1マルチストローブデータ記憶部と、基準クロックに応じて、第1マルチストローブデータ記憶部が記憶した第1マルチストローブデータに、第1マルチストローブ分解能データを加算する第1マルチストローブ分解能データ加算部とを更に含み、第1マルチストローブデータ記憶部は、第1マルチストローブ分解能データ加算部において、第1マルチストローブ分解能データが加算された第1マルチストローブデータを新たに記憶し、第1可変遅延量算出部は、第1基本タイミングデータと、第1マルチストローブデータ記憶部が記憶した、第1マルチストローブデータとに基づいて、第1可変遅延回路部において基準クロックが遅延されるべき遅延量を算出してよい。

#### 【0007】

また、第1遅延制御部は、パターン発生部が基準クロックを所定の回数発生す

る毎に、第1可変遅延量記憶部が記憶する第1マルチストローブデータを零に設定する手段を更に含んでよい。また、第1遅延制御部は、パターン発生部が基準クロックを所定の回数発生する毎に、第1基本タイミングデータ設定部に新たな第1基本タイミングデータを設定する手段を更に含んでよい。また、電子デバイスを試験する試験サイクルが終了した場合に、第1マルチストローブ分解能データ設定部に新たな第1マルチストローブ分解能データを設定する手段を更に含んでよい。

#### 【0008】

電子デバイスは、内部クロックに応じて出力信号を出力し、出力信号サンプリング回路は、内部クロックに基づいたクロックであるデータストローブに応じて、出力信号を受け取り、タイミングを発生する第2タイミング発生器と、電子デバイスにおける内部クロックを、第2タイミング発生器が発生したタイミングでサンプリングするデータストローブサンプリング回路とを更に備え、第2タイミング発生器は、基準クロックを受け取り、基準クロックを遅延させて出力する第2可変遅延回路部と、第2可変遅延回路部における遅延量を制御する第2遅延制御部とを有し、第2遅延制御部は、予め第2基本タイミングデータが設定される第2基本タイミングデータ設定部と、予め第2マルチストローブ分解能データが設定される第2マルチストローブ分解能データ設定部と、基準クロックに応じて、第2マルチストローブ分解能データに基づいて、第2マルチストローブデータを算出する第2マルチストローブデータ算出部と、第2基本タイミングデータと、第2マルチストローブデータとに基づいて、第2可変遅延回路部において基準クロックが遅延されるべき遅延量を算出する第2可変遅延量算出部とを含み、判定部は、データストローブサンプリング回路におけるサンプリング結果に更に基づいて、電子デバイスの良否を判定してよい。

#### 【0009】

尚、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又、発明となりうる。

#### 【0010】

##### 【発明の実施の形態】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

### 【0011】

図1は、本発明に係る試験装置100の構成の一例を示す。試験装置100は、基準クロックを発生する基準クロック発生部54と、基準クロックに同期して試験パターンを発生するパターン発生部10と、基準クロックに基づいてタイミングを発生するタイミング発生器30と、試験パターンを整形した整形パターンを生成し、タイミング発生器30が発生したタイミングに基づいて、整形パターンを電子デバイス20に入力する波形整形部12と、タイミング発生器30が発生したタイミングに基づいて、電子デバイス20が出力する出力信号のパターンである比較パターンを取得する比較器52と、比較パターンと期待値パターンとに基づいて、電子デバイス20の良否を判定する判定部22とを備える。

### 【0012】

パターン発生部10は、電子デバイス20の試験用の試験パターンと、電子デバイス20に試験パターンが入力された場合に電子デバイス20が出力するべき期待値パターンとを発生する。波形整形部12は、試験パターンを整形した整形パターンを生成し、タイミング発生器30が発生するタイミングに基づいて、整形パターンを電子デバイス20に入力する。例えば、波形整形部12は、タイミング発生器30が発生するタイミングに基づいて、整形パターンを遅延させ、電子デバイス20に入力する。比較器52は、電子デバイス20が、入力された整形パターンに基づいて出力する出力信号の値を、タイミング発生器30が発生するタイミングに基づいて取得する。タイミング発生器30は、複数のタイミングを発生し、比較器は、タイミング発生器30が発生した複数のタイミングに基づいて、出力信号のパターンを取得し、比較パターンを生成する。判定部22は、比較パターンと、期待値パターンとに基づいて、電子デバイス20の良否を判定する。

### 【0013】

本例において、タイミング発生器30は、複数のタイミングを発生する。例え

ば、タイミング発生器30には、基準クロック発生部54から複数のクロックが入力され、タイミング発生器30は、クロックが入力される毎に、異なる遅延量クロックを遅延させ、波形整形部12又は比較器52に入力する。例えば、タイミング発生器30は、クロックが入力される毎に、クロックを遅延させる遅延量を徐々に増加又は減少させた、マルチストローブを発生する。波形整形部12にタイミングを供給するタイミング発生器30と、比較器52にタイミングを供給するタイミング発生器30とは、同一又は同様の機能及び構成を有してよい。タイミング発生器30は、マルチストローブの分解能を設定する手段を有し、クロックが入力される毎に、設定されたマルチストローブの分解能に基づいた遅延量を演算してよい。例えば、タイミング発生器30は、クロックが入力される毎に、マルチストローブの分解能を加算した遅延量を算出し、算出した遅延量に基づいて、入力されたクロックを遅延させ、出力してよい。本例に説明した試験装置100によれば、設定されたマルチストローブの分解能に基づいて、遅延量を演算するため、タイミング発生器30が発生するべきマルチストローブのそれぞれのタイミングの設定値を記憶する必要が無く、試験装置100における記憶容量不足を解消することができる。以下タイミング発生器30の構成及び動作について説明する。

#### 【0014】

図2は、本発明に係るタイミング発生器30の構成の一例を示すブロック図である。タイミング発生器30は、可変遅延回路部44と、遅延制御部42とを有する。可変遅延回路部44は、基準クロックを受け取り、基準クロックを遅延させて、波形整形部12又は比較器52に出力する。遅延制御部42は、可変遅延回路部44における遅延量を制御する。

#### 【0015】

遅延制御部42は、予め基本タイミングデータが設定される基本タイミングデータ設定部32と、予めマルチストローブ分解能データが設定されるマルチストローブ分解能データ設定部34と、基準クロックに応じて、マルチストローブ分解能データに基づいて、マルチストローブデータを算出するマルチストローブデータ算出部46と、基本タイミングデータとマルチストローブデータとに基づい

て、可変遅延回路部44において基準クロックが遅延されるべき遅延量を算出する第1可変遅延量算出部40とを含む。

#### 【0016】

マルチストローブデータ算出部46は、基準クロックに同期して、マルチストローブデータを算出することが好ましい。また、マルチストローブデータ算出部46は、基準クロック発生部54が基準クロックを発生する毎に、マルチストローブデータを算出してよい。この場合、当該出力信号と、当該基準クロックとは同期していることが好ましい。可変遅延量算出部40は、当該基準クロックに応じて算出されたマルチストローブデータと、基本タイミングデータとに基づいて、可変遅延回路部44において当該基準クロックが遅延される遅延量を制御してよい。また、マルチストローブデータ算出部46は、基準クロック発生部54が基準クロックを発生する毎に、略等しい遅延量が加算されたマルチストローブデータを算出することが好ましい。例えば、マルチストローブデータ算出部46は、基準クロック発生部54が基準クロックを発生する毎に、マルチストローブ分解能データが加算されたマルチストローブデータを算出することが好ましい。

#### 【0017】

可変遅延量算出部40は、基本タイミングデータに、マルチストローブデータを加算した遅延量を算出してよい。また、可変遅延量算出部40は、基本タイミングデータから、マルチストローブデータを減算した遅延量を算出してよい。また、遅延制御部42は、可変遅延量算出部40が、基本タイミングデータに、マルチストローブデータを加算した遅延量を算出するか、又は基本タイミングデータから、マルチストローブデータを減算した遅延量を算出するかを選択する手段を更に含んでよい。可変遅延量算出部40における算出方法を選択することにより、タイミング発生器30が発生するタイミングの位相の変化方向を制御することができる。つまり、電子デバイス20が出力する出力信号に対して、時間軸において正の方向に位相がずれていくタイミングと、時間軸において負の方向に位相がずれていくタイミングとを選択して発生させることができる。

#### 【0018】

図3は、タイミング発生器30の構成の一例を示す。図3において、図2と同

一の符号を付したものは、図2に関連して説明したものと同一又は同様の機能及び構成を有してよい。タイミング発生器30は、可変遅延回路部44と、遅延制御部42(図2参照)を有する。可変遅延回路部44は、可変遅延回路50と、リニアライズメモリ48とを含む。可変遅延回路50は、複数の遅延素子を有し、当該遅延素子の組み合わせにより遅延すべき遅延量を生成する回路であってよい。リニアライズメモリ48は、可変遅延回路50において遅延すべき遅延量に基づいて、可変遅延回路50における遅延素子の組み合わせを選択する。リニアライズメモリ48は、可変遅延回路50において遅延すべき遅延量に基づいた、可変遅延回路50における信号伝達経路を記憶する記憶部を有してよい。リニアライズメモリ48には、リニアライズメモリ48の動作を制御するトリガが入力される。当該トリガは、基準クロックであってよい。

#### 【0019】

遅延制御部42は、基本タイミングデータ設定部32と、マルチストローブ分解能データ設定部34と、可変遅延量算出部40と、マルチストローブデータ算出部46と、マルチストローブ分解能データ加算部36と、マルチストローブデータ記憶部38とを含む。本例において、マルチストローブデータ算出部46は、マルチストローブ分解能データ加算部36と、マルチストローブデータ記憶部38とを有してよい。本例において、遅延制御部42は、デジタル信号によって、可変遅延回路部40における遅延量を制御するデジタル回路を有してよい。本例において、遅延制御部42は、例えば18ビットのデジタル信号によって、可変遅延回路部40における遅延量を制御する。

#### 【0020】

マルチストローブ分解能データ設定部34には、マルチストローブ分解能データが設定される。可変遅延回路50は、マルチストローブ分解能データと略同一の遅延量を有する遅延素子を有することが好ましい。マルチストローブ分解能データ設定部34は、例えばデジタル信号を記憶するレジスタであってよい。また、マルチストローブ分解能データ設定部34には、マルチストローブ分解能データ設定部34の動作を制御するトリガが入力される。当該トリガは、基準クロックであってよい。

### 【0021】

基本タイミングデータ設定部32には、基本タイミングデータが設定される。基本タイミングデータ設定部32は、基本タイミングデータを例えば18ビットのデジタル信号として、可変遅延量算出部40に出力する。基本タイミングデータ設定部32は、例えばデジタル信号を記憶するレジスタであってよい。また、基本タイミングデータ設定部32には、マルチストローブ分解能データ設定部34の動作を制御するトリガが入力される。当該トリガは、基準クロックであってよい。

### 【0022】

マルチストローブ分解能データ設定部34は、マルチストローブ分解能データをマルチストローブ分解能データ加算部36に供給する。マルチストローブ分解能データ加算部36は、基準クロックに応じて、マルチストローブデータ記憶部38に格納されているマルチストローブデータに、マルチストローブ分解能データを加算して、新たにマルチストローブ分解能データとしてマルチストローブデータ記憶部38に格納する。マルチストローブデータ記憶部38は、マルチストローブデータ算出部46のマルチストローブ分解能データ加算部36が算出したマルチストローブデータを記憶する。マルチストローブ分解能データ加算部36は、デジタル信号を加算する論理回路を含む加算回路であってよい。初期状態において、マルチストローブデータ記憶部38には、所望の値がマルチストローブデータの初期値として与えられてよい。本例において、マルチストローブデータ記憶部38には、マルチストローブデータの初期値として零が与えられる。

### 【0023】

マルチストローブデータ算出部46は、マルチストローブデータ記憶部38が記憶した、マルチストローブデータを例えば9ビットのデジタル信号として、可変遅延量算出部40に出力する。マルチストローブデータ記憶部38は、デジタル信号を記憶するレジスタであってよい。また、マルチストローブデータ記憶部38には、マルチストローブデータ記憶部38の動作を制御するトリガが入力される。当該トリガは、基準クロックであってよい。以上説明したマルチストローブデータ算出部46によれば、電子デバイス20が出力信号を出力する毎に

、マルチストローブ分解能データだけ増加した遅延設定値を容易に生成することができる。

#### 【0024】

また、パターン発生部10（図1参照）は、電子デバイス20を試験すべき試験パターンに基づいて、遅延量記憶部38が記憶するマルチストローブデータを零、又は初期値に設定するリセット信号（MUT COMMAND 2）を出力する手段を含んでよい。また、パターン発生部10（図1参照）は、電子デバイス20を試験すべき試験パターンに基づいて、所定のタイミングで、基本タイミングデータ設定部32に新たな基本タイミングデータを設定する手段を含んでよい。また、試験装置100は、電子デバイス20を試験すべき試験パターンに基づいて、所定のタイミングで、基本タイミングデータ設定部32に新たな基本タイミングデータを設定する手段を有してよい。基本タイミングデータ設定部32に新たな基本タイミングデータを設定する手段は、電子デバイス20を試験する試験サイクルが終了した場合に、新たな基本タイミングデータを、基本タイミングデータ設定部34に設定することが好ましい。

#### 【0025】

また、試験装置100は、マルチストローブ分解能データ設定部34に新たなマルチストローブ分解能データを設定する手段を有してもよい。マルチストローブ分解能データ設定部34に新たなマルチストローブ分解能データを設定する手段は、電子デバイス20を試験する試験サイクルが終了した場合に、新たなマルチストローブ分解能データを、マルチストローブ分解能データ設定部34に設定することが好ましい。

#### 【0026】

また、パターン発生部10（図1参照）は、マルチストローブデータ算出部46において、マルチストローブ分解能データの加算を開始する信号（MUT COMMAND 1）を、微小可変遅延算出部46に入力する手段を含んでよい。マルチストローブデータ算出部46は、マルチストローブ分解能データの加算を開始する信号を受け取った場合に、マルチストローブデータ記憶部38から、マルチストローブ分解能データ加算部36に対する、マルチストローブデータのフ

イードバックを開始する。

### 【0027】

可変遅延量算出部40は、基本タイミングデータと、マルチストローブデータ記憶部38が記憶した、マルチストローブデータとに基づいて、可変遅延回路部44において、基準クロックが遅延されるべき遅延量を算出する。本例においては、可変遅延量算出部40は、18ビットの基本タイミングデータと、9ビットのマルチストローブデータとを受け取り、基本タイミングデータの下位9ビットに、マルチストローブデータの9ビットを加算する。また、他の例においては、可変遅延量算出部40は、基本タイミングデータの下位9ビットから、マルチストローブデータの9ビットを減算してよい。また、遅延制御部42は、可変遅延量算出部40における加算又は減算を選択する、選択手段を更に含んでよい。可変遅延量算出部40は、例えばディジタル信号の加算を行う加算論理回路及び、ディジタル信号の減算を行う減算論理回路を有してよい。また、可変遅延量算出部40は、当該加算論理回路又は当該減算論理回路のいずれかを選択する選択部を有してもよい。また、タイミング発生器30に含まれる構成要素は、基準クロックに基づいて、それぞれの動作を行ってよい。

### 【0028】

図4は、タイミング発生器30の動作の一例を示すタイミングチャートである。図4において、横軸は時間を表し、1目盛りが2 ns（ナノ秒）を示す。基準クロック段は、基準クロック発生部54が発生する基準クロックを、タイミング（マルチストローブ）段は、タイミング発生器30が発生するタイミング（マルチストローブ）を示す。また、基本タイミングデータ段は、基本タイミングデータ設定部32に設定される基本タイミングデータを、マルチストローブ分解能データ段は、マルチストローブ分解能データ設定部42に設定されるマルチストローブ分解能データを、マルチストローブデータ段は、マルチストローブデータ算出部46が算出するマルチストローブデータを、可変遅延量段は、可変遅延量算出部40が算出する可変遅延量をそれぞれ示す。また、タイミング段の下部に示す1000 ps（ピコ秒）、1125 ps、・・・の数字は、タイミング発生器30が発生するタイミング（マルチストローブ）と基準クロックとの位相差を示す。

す。

### 【0029】

図4 (a) は、初期状態として、基本タイミングデータに1000 p sが、マルチストローブ分解能データに125 p sが、マルチストローブデータに0 p sが設定された例を示す。また、図4 (b) は、初期状態として、基本タイミングデータに1000 p sが、マルチストローブ分解能データに250 p sが、マルチストローブデータに0 p sが設定された例を示す。マルチストローブデータ算出部46は、開始信号であるMUT COMMAND 1がonになった場合に、マルチストローブデータに対して、マルチストローブ分解能データの加算を開始する。MUT COMMAND 1がonになった後、微小可変算出部46は、基準クロックに応じて、マルチストローブデータに対して、マルチストローブ分解能データの加算を開始し、マルチストローブデータは、図4のマルチストローブデータ段に示す値となる。可変遅延量算出部40が、基準クロックに応じて算出する可変遅延量は、基本タイミングデータに、マルチストローブデータを加算した、図4の可変遅延量段に示す値となる。タイミング発生器30が、基準クロックに応じて発生するタイミングは、図4に示すように、基準クロックの立ち上がりから、可変遅延量だけ遅延したタイミングとなる。本例においては、基本タイミングデータに、マルチストローブデータを加算した遅延量を可変遅延量としているため、タイミング発生器30が、基準クロックに応じて発生するタイミングは、基準クロックの立ち上がりに対する遅延量が、図4 (a) において125 p s、図4 (b) において250 p sずつ増加する。

### 【0030】

マルチストローブデータは、リセット信号であるMUT COMMAND 2がonになるまで、基準クロックに応じて、マルチストローブ分解能データである125 p sずつ増加する。MUT COMMAND 2がonになった場合、マルチストローブデータは0 p sに設定される。MUT COMMAND 2は、基準クロックが所定の回数発生した場合にonとなる。当該所定の回数、及びマルチストローブ分解能データの設定値により、試験装置100が試験する試験精度及び試験時間を調整できる。マルチストローブ分解能データは、タイミング

発生器 30 が発生するタイミングの位相変化の分解能を示す。つまり、マルチストローブ分解能データを変化させることにより、所望の位相変化の分解能を有するタイミングを発生させることができる。また、試験装置 100 は、マルチストローブ分解能データ設定部 34 に新たなマルチストローブ分解能データを設定する手段を有してよい。当該手段は、電子デバイス 20 を試験する試験サイクルが終了した場合に、新たなマルチストローブ分解能データを、マルチストローブ分解能データ設定部 34 に設定する。例えば、図 4 (a) に示す試験サイクルが終了した場合に、当該手段は、図 4 (b) に示すような、新たなマルチストローブ分解能データを設定し、試験装置 100 は新たな試験サイクルを開始してよい。

### 【0031】

図 5 は、本発明に係る試験装置 100 の構成の他の例を示す。図 5において、図 1 と同一の符号を付したものは、図 1 に関連して説明したものと同一又は同様の機能及び構成を有してよい。試験装置 100 は、電子デバイス 20 の内部クロックに基づいたクロックであるデータストローブに応じて、電子デバイス 20 から出力信号を受け取る。基準クロックを発生する基準クロック発生部 54 と、基準クロックに同期して試験パターンを発生するパターン発生部 10 と、試験パターンを整形する波形整形部 12 と、電子デバイス 20 と信号を受け渡しする信号入出力部 14 と、タイミングを発生する第 1 タイミング発生器 30a と、タイミングを発生する第 2 タイミング発生器 30b と、電子デバイス 20 が出力する出力信号をサンプリングする出力信号サンプリング回路 24 と、電子デバイス 20 のデータストローブをサンプリングするデータストローブサンプリング回路 26 と、電子デバイス 20 の良否を判定する判定部 22 とを備える。

### 【0032】

パターン発生部 10 は、基準クロックに同期して、電子デバイス 20 の試験用の試験パターンを発生し、電子デバイス 20 に、波形整形部 12 及び信号入出力部 14 を介して入力する。基準クロック発生部 54 は、基準クロックを発生し、第 1 タイミング発生器 30a 及び第 2 タイミング発生器 30b に供給する。基準クロック発生部 54 は、当該試験パターンに基づいて、電子デバイス 20 が出力する出力信号と同期した基準クロックを発生することが好ましい。波形整形部 1

2は、パターン発生部10が生成した試験パターンを整形する。例えば、波形整形部12は、パターン発生部10が生成した試験パターンを所望の時間遅延させた整形パターンを信号入出力部14に入力する。信号入出力部14は、電子デバイス20と電気的に接続され、波形整形部12から受け取った整形パターンを、電子デバイス20に入力する。また、信号入出力部14は、整形パターンに基づいて電子デバイス20が出力する出力信号を受け取り、出力信号サンプリング回路24に出力する。また、信号入出力部14は、電子デバイス20の出力信号を試験装置100内の例えばフリップフロップ等が受け取るための、データストローブを受け取り、データストローブサンプリング回路26に出力する。

#### 【0033】

第1タイミング発生器30aは、電子デバイス20の出力信号に対して、微小時間ずつ位相がずれた複数のタイミングを、出力信号サンプリング回路24に供給する。出力信号サンプリング回路24は、電子デバイス20が試験パターンに基づいて出力する出力信号を、第1タイミング発生器30aが発生したタイミングでサンプリングする。判定部22は、電子デバイス20の出力信号のジッタを算出する、出力信号ジッタ算出手段を有してよい。出力信号ジッタ算出手段は、出力信号サンプリング回路24におけるサンプリング結果に基づいて、電子デバイス20が出力する出力信号のジッタを算出する。

#### 【0034】

第2タイミング発生器30bは、電子デバイス20の内部クロックに基づくデータストローブに対して、微小時間ずつ位相がずれた複数のタイミングを、データストローブサンプリング回路26に供給する。データストローブサンプリング回路26は、電子デバイス20のデータストローブを、第2タイミング発生器30bが発生したタイミングでサンプリングする。判定部22は、電子デバイス20の内部クロックに基づくデータストローブのジッタを算出するデータストローブジッタ算出手段を有してよい。データストローブジッタ算出手段は、データストローブサンプリング回路26におけるサンプリング結果に基づいて、データストローブのジッタを算出する。第1タイミング発生器30a及び第2タイミング発生器30bは、図1から図4に関連して説明したタイミング発生器30と同一

又は同様の機能及び構成を有する。

### 【0035】

判定部22は、出力信号サンプリング回路26におけるサンプリング結果、データストローブサンプリング回路28におけるサンプリング結果の少なくともいずれかに基づいて、電子デバイス20の良否を判定する。また、判定部20は、出力信号サンプリング回路26におけるサンプリング結果、データストローブサンプリング回路28におけるサンプリング結果、出力信号のジッタ、データストローブのジッタの少なくともいずれかに基づいて、前記電子デバイスの良否を判定してよい。例えば、判定部22は、出力信号ジッタ算出手段が算出した出力信号のジッタ、及びデータストローブジッタ算出手段が算出したデータストローブのジッタに基づいて、電子デバイス20の良否を判定してよい。つまり、判定部22は、予めジッタ基準値が与えられ、与えられたジッタ基準値と、出力信号のジッタ及びデータストローブのジッタとを比較して、電子デバイス20の良否を判定してよい。この場合、出力信号サンプリング回路26は、受け取った位相の異なる複数のタイミング毎に、電子デバイス20の出力信号を複数回サンプリングすることが好ましい。また、出力信号ジッタ算出手段は、予め基準値が与えられ、出力信号サンプリング回路26において、位相の異なる複数のタイミング毎に複数回サンプリングした結果と当該基準値とを比較し、位相の異なるそれぞれのタイミングにおける当該サンプリング結果が、当該基準値以上となる回数分布に基づいて、電子デバイス20の出力信号のジッタを算出してよい。また、データストローブサンプリング回路28は、受け取った位相の異なる複数のタイミング毎に、データストローブを複数回サンプリングすることが好ましい。また、データストローブジッタ算出手段は、予め基準値が与えられ、データストローブサンプリング回路28において、位相の異なる複数のタイミング毎に複数回サンプリングした結果と当該基準値とを比較し、位相の異なるそれぞれのタイミングにおける当該サンプリング結果が、当該基準値以上となる回数分布に基づいて、データストローブのジッタを算出してよい。また、判定部22には、異なる複数のジッタ基準値が与えられ、異なる複数のジッタ基準値と、算出したジッタとを比較し、それぞれのジッタ基準値に対して電子デバイス20の良否を判定し、電子

デバイス 20 の品質を判定してよい。つまり、判定部 22 は、算出したジッタに基づいて、電子デバイス 20 の品質を判定してよい。

### 【0036】

また、他の例においては、判定部 22 は、出力信号サンプリング回路 26 におけるサンプリング結果、及びデータストローブサンプリング回路 28 におけるサンプリング結果に基づいて、電子デバイス 20 の良否を判定してよい。例えば、判定部 22 は、電子デバイス 20 の出力信号が、予め与えられた出力信号の基準値となるタイミングと、データストローブとが、予め与えられたデータストローブの基準値となるタイミングとにに基づいて、電子デバイス 20 の良否を判定してよい。電子デバイス 20 の出力信号が、予め与えられた出力信号の基準値となるタイミングと、データストローブとが、予め与えられたデータストローブの基準値となるタイミングとの前後関係に基づいて、電子デバイス 20 の良否を判定してよい。

### 【0037】

第 1 タイミング発生器 30a は、第 1 可変遅延回路部 44a と、第 1 遅延制御部 42a とを有し、第 2 タイミング発生器 30b は、第 2 可変遅延回路部 44b と、第 2 遅延制御部 42b とを有する。第 1 可変遅延回路部 44a 及び第 2 可変遅延回路部 44b は、図 2 から図 4 に関連して説明した可変遅延回路部 44 と同一又は同様の機能及び構成を有してよい。また、第 1 遅延制御部 42a と第 2 遅延制御部 42b は、図 2 から図 4 に関連して説明した遅延制御部 42 と同一又は同様の機能及び構成を有してよい。

### 【0038】

以上説明した試験装置 100 によれば、電子デバイス 20 の出力信号又は内部クロックに基づいたデータストローブに対して、微小時間ずつ位相のずれた複数のタイミングを容易に生成することができる。このため、電子デバイス 20 の出力信号又はデータストローブを異なる位相を有する複数のタイミングで容易にサンプリングすることができる。また、異なる位相を有するサンプリングタイミングの位相データをサンプリングタイミング毎に有する必要が無いため、試験装置 100 の記憶容量に対する負荷を低減することができる。

### 【0039】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

### 【0040】

#### 【発明の効果】

本発明に係る試験装置100によれば、微小時間ずつ位相のずれた複数のタイミングを容易に生成することができ、電子デバイス20の出力信号又はデータストローブを異なる位相を有する複数のタイミングで容易にサンプリングすることができる。

#### 【図面の簡単な説明】

【図1】 本発明に係る試験装置100の構成の一例を示す。

【図2】 本発明に係るタイミング発生器30の構成の一例を示すブロック図である。

【図3】 タイミング発生器30の構成の一例を示す。

【図4】 タイミング発生器30の動作の一例を示すタイミングチャートである。

【図5】 本発明に係る試験装置100の構成の他の例を示す。

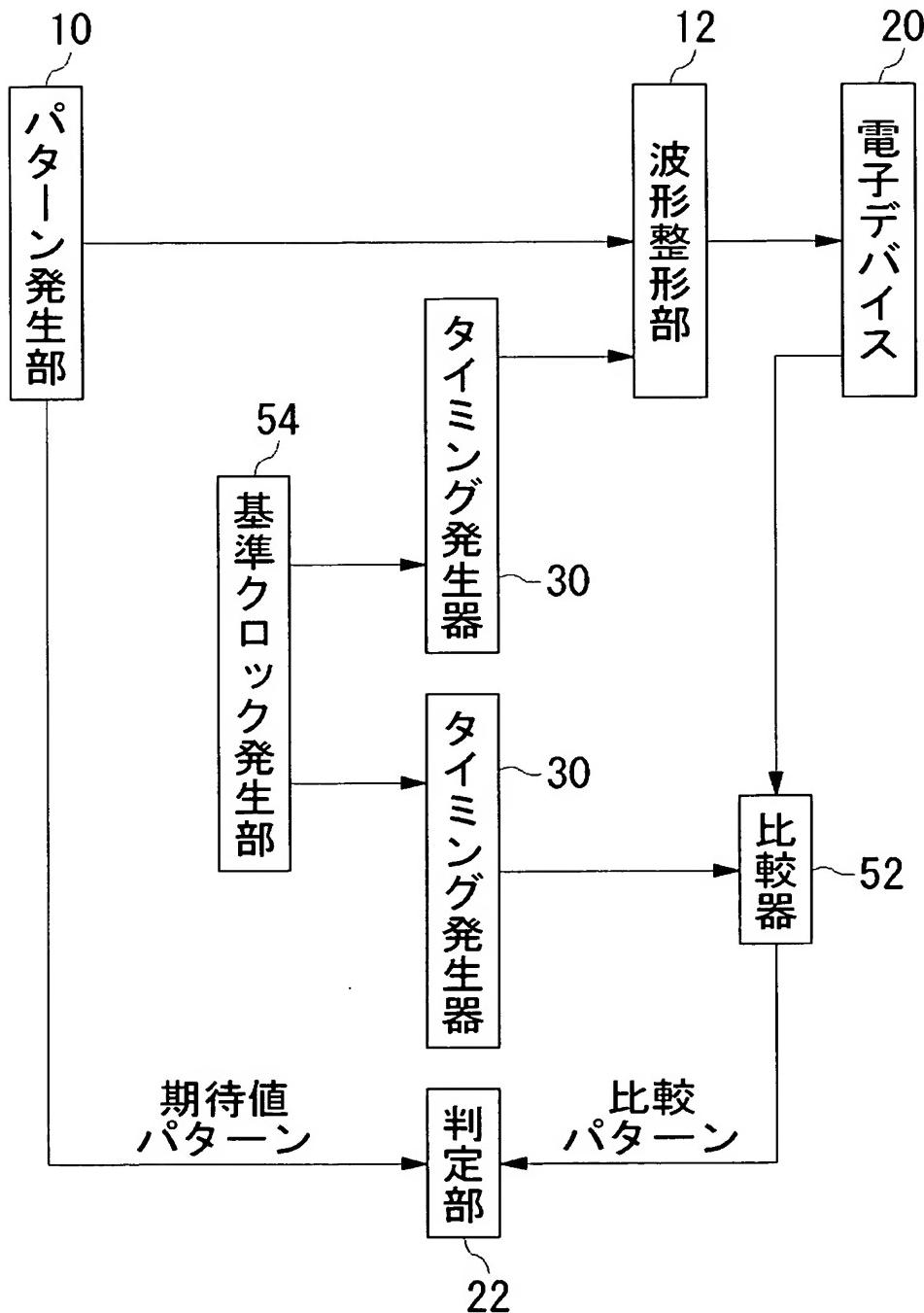
#### 【符号の説明】

10・・・パターン発生部、12・・・波形整形部、14・・・信号入出力部、  
20・・・電子デバイス、22・・・判定部、24・・・出力信号サンプリング回路、  
26・・・データストローブサンプリング回路、30・・・タイミング発生器、  
32・・・基本タイミングデータ設定部、34・・・マルチストローブ分解能データ設定部、  
36・・・マルチストローブ分解能データ加算部、38・・・  
・マルチストローブ分解能データ記憶部、40・・・可変遅延量算出部、42  
・・遅延制御部、44・・・可変遅延回路部、46・・・マルチストローブデータ算出部、  
48・・・リニアライズメモリ、50・・・可変遅延回路、54・・・

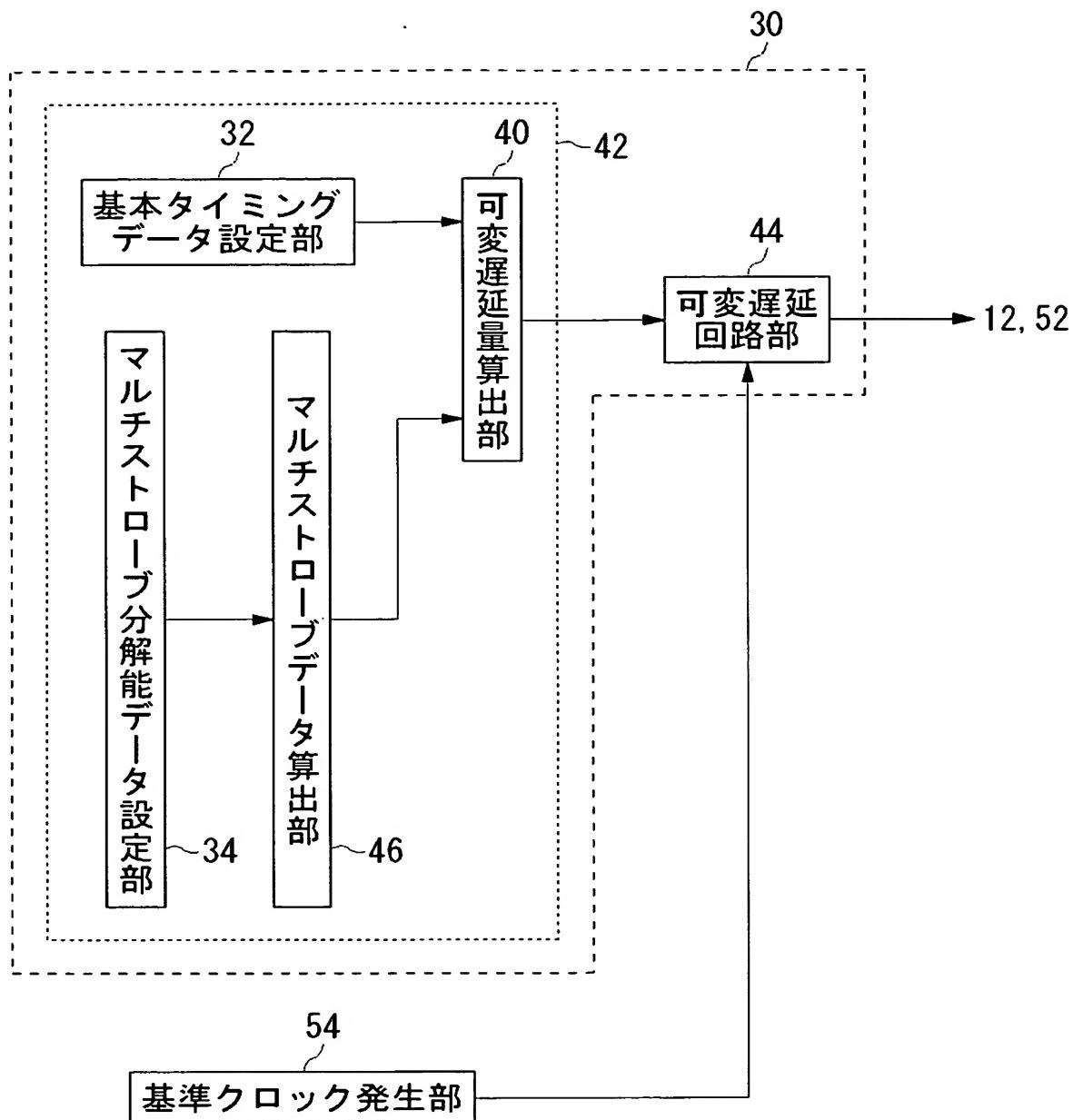
・基準クロック発生部、100 . . . 試験装置

【書類名】 図面

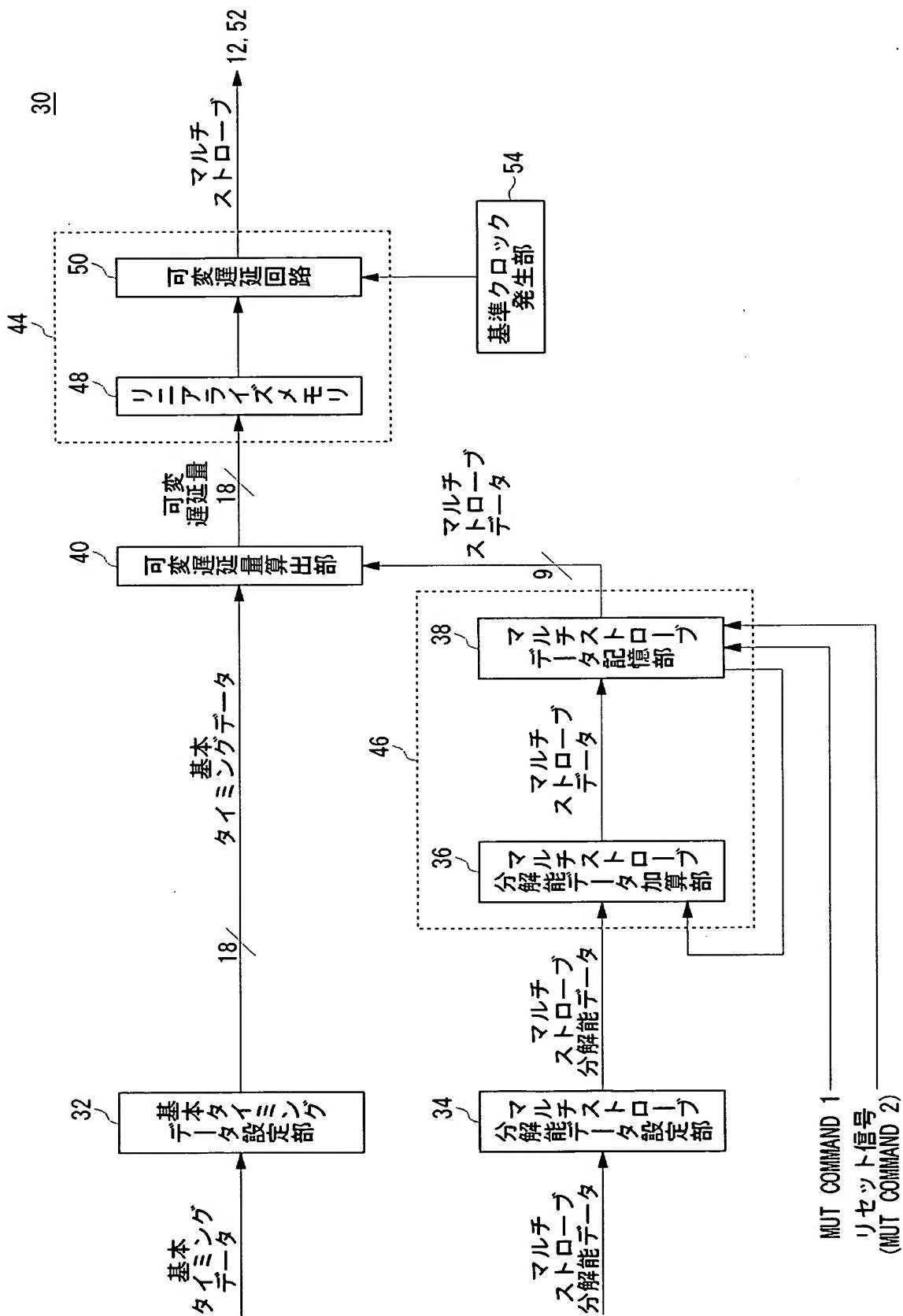
【図1】

100

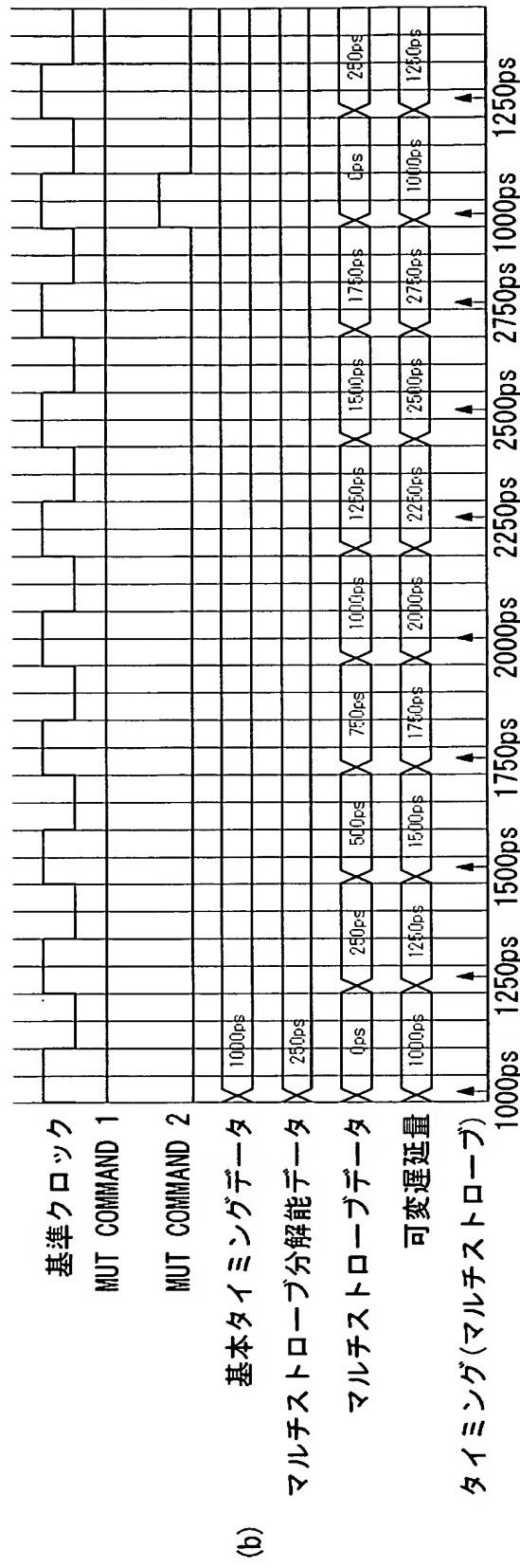
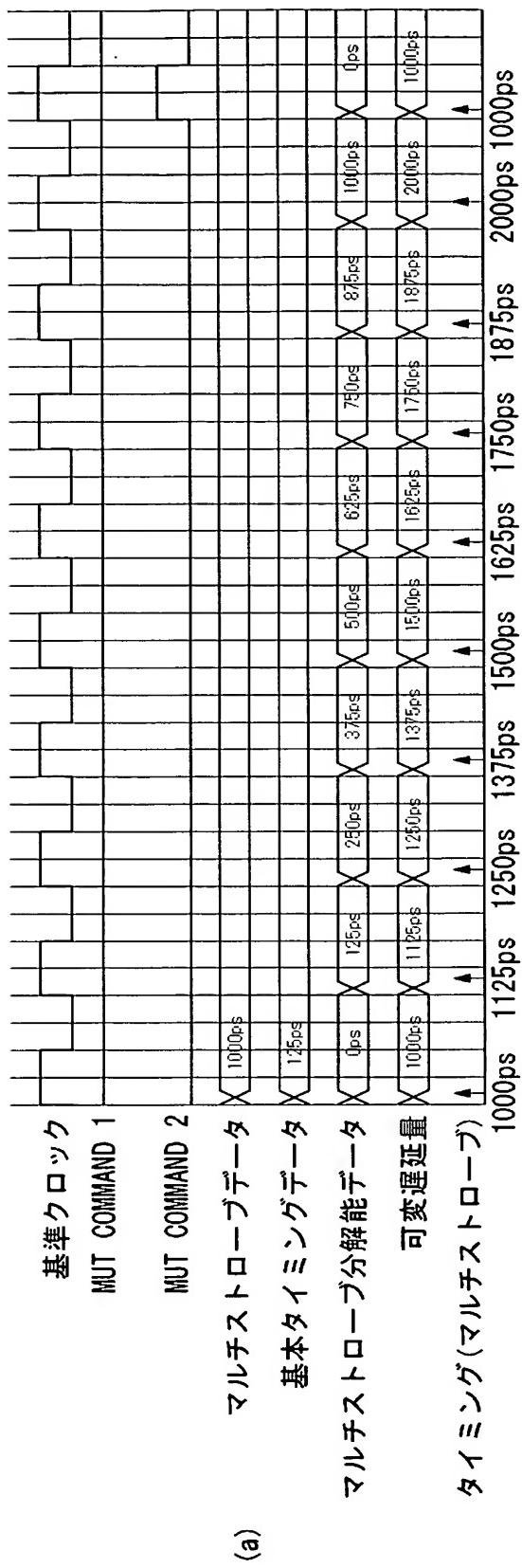
【図2】



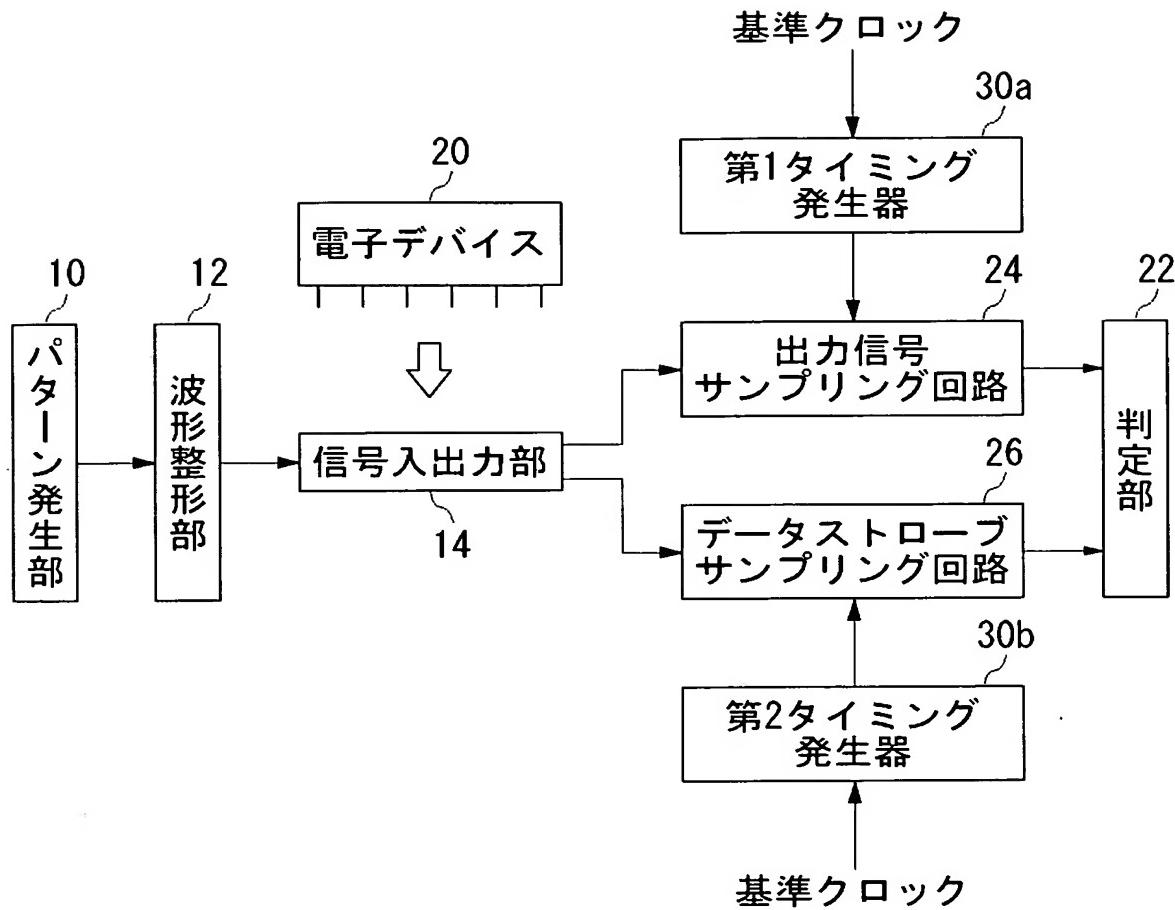
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 電子デバイスの出力信号を位相を微小ずつずらしたタイミングでサンプリングする試験装置において、サンプリングタイミングを容易に生成する。

【解決手段】 電子デバイスを試験する試験装置であって、電子デバイスを試験するための試験パターンを発生するパターン発生部と、基準クロックを発生する基準クロック発生部と、タイミングを発生するタイミング発生器と、電子デバイスが前記試験パターンに基づいて出力する出力信号を、タイミング発生器が発生したタイミングでサンプリングする出力信号サンプリング回路とを備え、タイミング発生器は、基準クロックを受け取り、基準クロックを遅延させて出力する可変遅延回路部と、可変遅延回路部における遅延量を制御する遅延制御部とを有し、遅延制御部は、基本タイミングデータと基本タイミングデータより小さい可変遅延量に基づいて遅延量を制御する。

【選択図】 図3

特願 2001-342954

出願人履歴情報

識別番号 [390005175]

1. 変更年月日 1990年10月15日

[変更理由] 新規登録

住所 東京都練馬区旭町1丁目32番1号

氏名 株式会社アドバンテスト